


Original document

# SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

Patent number: JP2003086760  
Publication date: 2003-03-20  
Inventor: SAKAMOTO MASATAKA; NIITSU OSAMU  
Applicant: HITACHI LTD;; EASTERN JAPAN SEMICONDUCTOR TECHNOLOGIES INC

Also published as:

 JP2003086760 (A)

Classification:  
- international: H01L25/065; H01L23/12; H01L25/07; H01L25/18  
- european:  
Application number: JP20010275932 20010912  
Priority number(s):

[View INPADOC patent family](#)

## Abstract of **JP2003086760**

PROBLEM TO BE SOLVED: To provide a semiconductor device together with a manufacturing method therefor in which devices such as a memory and a logic are miniaturized.

SOLUTION: A CSP comprises a package 1 which uses a flexible wiring board and a package 2 of Fan-in type, with the package 2 mounted on the package 1. The package 1 comprises two chips 12 and 13 where an electrode 11 is arranged on a surface, a flexible wiring board 16 where these chips 12 and 13 are mounted and a plurality of leads 14 and lands 15 are formed, a sealing material 17 which seals the connection between the chips 12 and 13 and the flexible wiring board 16, a ball-like external terminal 18 mounted on the land part 15 corresponding to one chip 12 of the flexible wiring board 16, and an adhesive 19 to glue the rear surfaces of the chips 12 and 13 together while the flexible wiring board 16 is bent, etc.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86760

(P2003-86760A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド <sup>7</sup> (参考)
H 0 1 L 25/065		H 0 1 L 23/12	5 0 1 F
23/12	5 0 1	25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2001-275932 (P2001-275932)

(22) 出願日 平成13年9月12日 (2001.9.12)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

株式会社東日本セミコンダクタテクノロジー  
ーズ

東京都青梅市藤橋三丁目3番地2

(72) 発明者 坂本 昌隆

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

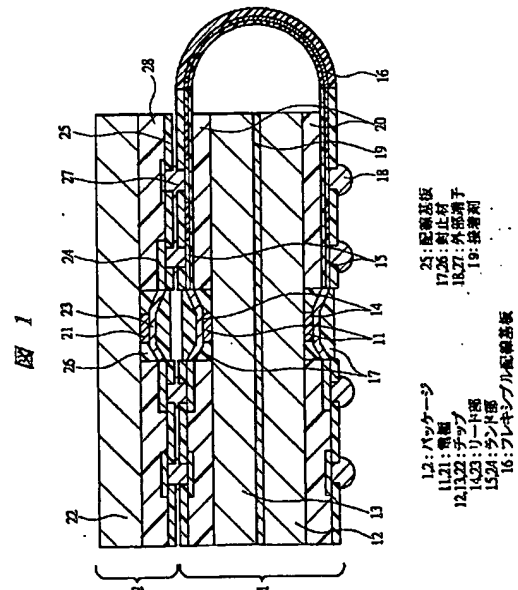
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 メモリやロジックなどのデバイスの小型化を実現することができる半導体装置、およびその製造方法を提供する。

【解決手段】 フレキシブル配線基板を用いたパッケージ1と、Fan-inタイプのパッケージ2からなり、パッケージ2がパッケージ1に実装されて構成されるCSPであって、パッケージ1は、表面上に電極11が配置された2つのチップ12、13と、これらのチップ12、13が実装され、複数のリード部14およびランド部15が形成されたフレキシブル配線基板16と、各チップ12、13とフレキシブル配線基板16との接続部分を封止する封止材17と、フレキシブル配線基板16の一方のチップ12に対応するランド部15に搭載されるボール状の外部端子18と、フレキシブル配線基板16の折り曲げ状態において、チップ12、13の裏面同士を接着する接着剤19などから構成されている。



## 【特許請求の範囲】

【請求項1】 所定の回路が形成され、表面上に電極が配置された第1チップおよび第2チップと、  
 前記第1チップおよび第2チップが実装され、各チップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板と、  
 前記第1チップおよび第2チップの電極と前記フレキシブル配線基板のリード部との接続部分を封止する封止材と、  
 前記フレキシブル配線基板の前記第1チップに対応するランド部に搭載されるボール状の外部端子と、  
 前記フレキシブル配線基板の折り曲げ状態において、前記第1チップの裏面と前記第2チップの裏面とを接着する接着剤と、を有することを特徴とする半導体装置。  
 【請求項2】 請求項1記載の半導体装置において、所定の回路が形成され、表面上に電極が配置された第3チップと、  
 前記第3チップが実装され、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された配線基板と、  
 前記第3チップの電極と前記配線基板のリード部との接続部分を封止する封止材と、  
 前記配線基板のランド部に搭載されるボール状の外部端子と、からなるパッケージを有し、  
 前記パッケージが前記第1チップおよび第2チップが実装された前記フレキシブル配線基板に実装され、前記パッケージの外部端子が前記フレキシブル配線基板の前記第2チップに対応するランド部に接続されていることを特徴とする半導体装置。  
 【請求項3】 所定の回路が形成され、表面上に電極が配置された第1チップ、前記第1チップが実装され、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、前記第1チップの電極と前記フレキシブル配線基板のリード部との接続部分、および前記フレキシブル配線基板の未接続のリード部の部分を封止する封止材、前記フレキシブル配線基板の前記第1チップに対応するランド部に搭載されるボール状の外部端子、前記フレキシブル配線基板の折り曲げ状態において、前記第1チップの裏面と前記未接続のリード部の封止部分の裏面とを接着する接着剤からなる第1パッケージと、  
 所定の回路が形成され、表面上に電極が配置された第3チップ、前記第3チップが実装され、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された配線基板、前記第3チップの電極と前記配線基板の

のランド部に搭載されるボール状の外部端子からなる第2パッケージと、を有し、  
 前記第2パッケージが前記第1パッケージの前記フレキシブル配線基板に実装され、前記第2パッケージの外部端子が前記フレキシブル配線基板の前記未接続のリード部に対応するランド部に接続されていることを特徴とする半導体装置。

【請求項4】 所定の回路が形成され、表面上に電極が配置された第1チップおよび第2チップ、前記第1チップおよび第2チップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、所定の回路が形成され、表面上に電極が配置された第3チップ、前記第3チップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された配線基板を用意する工程と、  
 前記第1チップおよび第2チップを前記フレキシブル配線基板に実装し、前記第1チップおよび第2チップの各電極を前記フレキシブル配線基板のリード部に接続する工程と、  
 前記第1チップおよび第2チップの電極と前記フレキシブル配線基板のリード部との接続部分を封止材により封止する工程と、  
 前記フレキシブル配線基板の前記第1チップに対応するランド部にボール状の外部端子を搭載する工程と、  
 前記フレキシブル配線基板を折り曲げ、この折り曲げ状態において、前記第1チップの裏面と前記第2チップの裏面とを接着剤により接着する工程と、  
 前記第3チップを前記配線基板に実装し、前記第3チップの各電極を前記配線基板のリード部に接続する工程と、  
 前記第3チップの電極と前記配線基板のリード部との接続部分を封止材により封止する工程と、  
 前記配線基板のランド部にボール状の外部端子を搭載する工程と、  
 前記第3チップが実装された前記配線基板を前記第1チップおよび第2チップが実装された前記フレキシブル配線基板に実装し、前記配線基板の外部端子を前記フレキシブル配線基板の前記第2チップに対応するランド部に接続する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】 所定の回路が形成され、表面上に電極が配置された第1チップ、前記第1チップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、所定の回路が形成され、表面上に電極が配置された第3チップ、前記第3チップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された

配線基板を用意する工程と、  
 前記第1チップを前記フレキシブル配線基板に実装し、  
 前記第1チップの各電極を前記フレキシブル配線基板の  
 リード部に接続する工程と、  
 前記第1チップの電極と前記フレキシブル配線基板のリー  
 ド部との接続部分、および前記フレキシブル配線基板  
 の未接続のリード部の部分を封止材により封止する工程  
 と、  
 前記フレキシブル配線基板の前記第1チップに対応する  
 ランド部にボール状の外部端子を搭載する工程と、  
 前記フレキシブル配線基板を折り曲げ、この折り曲げ状  
 態において、前記第1チップの裏面と前記未接続のリー  
 ド部の封止部分の裏面とを接着剤により接着する工程  
 と、  
 前記第3チップを前記配線基板に実装し、前記第3チッ  
 プの各電極を前記配線基板のリード部に接続する工程  
 と、  
 前記第3チップの電極と前記配線基板のリード部との接  
 続部分を封止材により封止する工程と、  
 前記配線基板のランド部にボール状の外部端子を搭載す  
 る工程と、  
 前記第3チップが実装された前記配線基板を前記第1チ  
 ップが実装された前記フレキシブル配線基板に実装し、  
 前記配線基板の外部端子を前記フレキシブル配線基板の  
 前記未接続のリード部に対応するランド部に接続する工  
 程と、を有することを特徴とする半導体装置の製造方  
 法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および  
 その製造技術に関し、特にメモリやロジックなどのデバ  
 イスの小型化に好適な半導体装置に適用して有効な技術  
 に関する。

【0002】

【従来の技術】本発明者が検討した技術として、メモリ  
 やロジックなどのデバイスに関しては、以下のような技  
 術が考えられる。たとえば、ノートPC、パームトップ  
 PCなどのコンピュータ関連機器は、小型・薄型化して  
 きている。これに伴い、メモリなどのICパッケージも  
 小型・薄型化が進んでおり、たとえばパッケージの  
 形状はSOJ→TSOP→TCP→CSPへと移行して  
 きている。

【0003】CSPは、チップサイズと同等あるいはわ  
 ずかに大きいパッケージタイプとして、様々な構造を有  
 し、既存パッケージの派生品として採用されてきてい  
 る。たとえば、BGAタイプ、LGAタイプなどがある。

【0004】なお、このようなCSPに関する技術とし  
 ては、たとえば2000年7月28日、株式会社工業調  
 査会発行、社団法人エレクトロニクス実装学会編の「エ

レクトロニクス実装大事典」(P536~P540な  
 ど)に記載される技術などが挙げられる。

【0005】

【発明が解決しようとする課題】ところで、前記のよう  
 なCSPの技術について、本発明者が検討した結果、以  
 下のようなことが明らかとなった。たとえば、メモリの  
 ような高密度・大容量化を必要とするものでは、現状の  
 Fan-inタイプ、Fan-outタイプ、Fan-  
 in/outタイプなどのパッケージ構造では限界にき  
 ており、現状のICパッケージ技術では大幅な小型化は  
 望めないものと考えられる。

【0006】そこで、本発明の目的は、前記のようなパ  
 ケージ構造とフレキシブル配線基板を用いた新たなパ  
 ケージ構造とを組み合わせ、メモリやロジックなどの  
 デバイスの小型化を実現することができる半導体装置、  
 およびその製造方法を提供するものである。

【0007】本発明の前記ならびにその他の目的と新規  
 な特徴は、本明細書の記述および添付図面から明らか  
 になるであろう。

【0008】

【課題を解決するための手段】本願において開示される  
 発明のうち、代表的なものの概要を簡単に説明すれば、  
 次のとおりである。

【0009】すなわち、本発明による半導体装置は、所  
 定の回路が形成され、表面上に電極が配置された第1お  
 よび第2チップと、これらのチップが実装され、各チッ  
 プの各電極に接続される複数のリード部、および各リー  
 ド部に配線パターンを介して接続される複数のランド部  
 が形成されたフレキシブル配線基板と、各チップの電極  
 とフレキシブル配線基板のリード部との接続部分を封止  
 する封止材と、フレキシブル配線基板の第1チップに対  
 応するランド部に搭載されるボール状の外部端子と、フ  
 レキシブル配線基板の折り曲げ状態において、第1と第  
 2チップの裏面同士を接着する接着剤とを有するもので  
 ある。

【0010】さらに、前記半導体装置において、所定の  
 回路が形成され、表面上に電極が配置された第3チップ  
 と、このチップが実装され、チップの各電極に接続され  
 る複数のリード部、および各リード部に配線パターンを  
 介して接続される複数のランド部が形成された配線基板  
 と、第3チップの電極と配線基板のリード部との接続部  
 分を封止する封止材と、配線基板のランド部に搭載され  
 るボール状の外部端子とからなるパッケージを有し、こ  
 のパッケージが第1および第2チップが実装されたフレ  
 キシブル配線基板に実装され、パッケージの外部端子が  
 フレキシブル配線基板の第2チップに対応するランド部  
 に接続されて構成されるものである。

【0011】また、本発明による他の半導体装置は、所  
 定の回路が形成され、表面上に電極が配置された第1チ  
 ップ、このチップが実装され、チップの各電極に接続さ

10

20

30

40

50

れる複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、第1チップの電極とフレキシブル配線基板のリード部との接続部分、およびフレキシブル配線基板の未接続のリード部の部分を封止する封止材、フレキシブル配線基板の第1チップに対応するランド部に搭載されるボール状の外部端子、フレキシブル配線基板の折り曲げ状態において、第1チップの裏面と未接続のリード部の封止部分の裏面とを接着する接着剤からなる第1パッケージと、前記半導体装置と同様の第3チップ、配線基板、封止材、外部端子からなる第2パッケージとを有し、第2パッケージが第1パッケージのフレキシブル配線基板に実装され、第2パッケージの外部端子がフレキシブル配線基板の未接続のリード部に対応するランド部に接続されて構成されるものである。

【0012】また、本発明による半導体装置の製造方法は、所定の回路が形成され、表面上に電極が配置された第1および第2チップ、これらのチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、所定の回路が形成され、表面上に電極が配置された第3チップ、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された配線基板を用意し、第1および第2チップをフレキシブル配線基板に実装し、これらのチップの各電極をフレキシブル配線基板のリード部に接続し、第1および第2チップの電極とフレキシブル配線基板のリード部との接続部分を封止材により封止し、フレキシブル配線基板の第1チップに対応するランド部にボール状の外部端子を搭載し、フレキシブル配線基板を折り曲げ、この折り曲げ状態において、第1と第2チップの裏面同士を接着剤により接着し、第3チップを配線基板に実装し、このチップの各電極を配線基板のリード部に接続し、第3チップの電極と配線基板のリード部との接続部分を封止材により封止し、配線基板のランド部にボール状の外部端子を搭載し、第3チップが実装された配線基板を第1および第2チップが実装されたフレキシブル配線基板に実装し、配線基板の外部端子をフレキシブル配線基板の第2チップに対応するランド部に接続する、各工程を有するものである。

【0013】また、本発明による他の半導体装置の製造方法は、所定の回路が形成され、表面上に電極が配置された第1チップ、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成されたフレキシブル配線基板、所定の回路が形成され、表面上に電極が配置された第3チップ、このチップの各電極に接続される複数のリード部、および各リード部に配線パターンを介して接続される複数のランド部が形成された配線基板を用意

し、第1チップをフレキシブル配線基板に実装し、このチップの各電極をフレキシブル配線基板のリード部に接続し、第1チップの電極とフレキシブル配線基板のリード部との接続部分、およびフレキシブル配線基板の未接続のリード部の部分を封止材により封止し、フレキシブル配線基板の第1チップに対応するランド部にボール状の外部端子を搭載し、フレキシブル配線基板を折り曲げ、この折り曲げ状態において、第1チップの裏面と未接続のリード部の封止部分の裏面とを接着剤により接着し、第3チップを配線基板に実装し、このチップの各電極を配線基板のリード部に接続し、第3チップの電極と配線基板のリード部との接続部分を封止材により封止し、配線基板のランド部にボール状の外部端子を搭載し、第3チップが実装された配線基板を第1チップが実装されたフレキシブル配線基板に実装し、配線基板の外部端子をフレキシブル配線基板の未接続のリード部に対応するランド部に接続する、各工程を有するものである。

【0014】

20 【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0015】（実施の形態1）まず、図1および図2により、本発明の実施の形態1の半導体装置の構成の一例を説明する。図1は本実施の形態の半導体装置を示す断面図、図2（a）は平面図、図2（b）は底面図である。

30 【0016】本実施の形態の半導体装置は、たとえば2つのパッケージ構造を組み合わせたCSPとされ、フレキシブル配線基板を用いたパッケージ1と、Fan-inタイプのパッケージ2からなり、パッケージ2がパッケージ1に実装されて構成されている。

【0017】パッケージ1は、所定の回路が形成され、表面上に電極11が配置された2つのチップ12、13と、これらのチップ12、13が実装され、複数のリード部14、および各リード部14に配線パターンを介して接続される複数のランド部15が形成されたフレキシブル配線基板16と、各チップ12、13の電極11とフレキシブル配線基板16のリード部14との接続部分を封止する封止材17と、フレキシブル配線基板16の一方のチップ12に対応するランド部15に搭載されるボール状の外部端子18と、チップ12、13の裏面同士を接着する接着剤19などから構成されている。

【0018】パッケージ2は、所定の回路が形成され、表面上に電極21が配置されたチップ22と、このチップ22が実装され、複数のリード部23、および各リード部23に配線パターンを介して接続される複数のランド部24が形成された配線基板25と、チップ22の電極21と配線基板25のリード部23との接続部分を封

止する封止材26と、配線基板25のランド部24に搭載されるボール状の外部端子27などから構成されている。このパッケージ2は、いわゆる既存のFan-inタイプのCSPである。

【0019】各チップ12、13、22は、たとえばメモリ、ロジックなどの所定の集積回路が内部に形成され、また表面上に複数の電極11、21が配置され、内部に形成された集積回路の各端子から表面上の電極11、21まで電気的に接続されている。この各チップ12、13、22は、たとえば中心線上に電極11、21が1列で配置されたセンタバッド構造となっている。

【0020】フレキシブル配線基板16は、たとえばポリイミドなどのテープ基材に銅箔などの配線層が挟まれて形成され、自在に折り曲げ可能な構造となっている。配線層には、テープ基材の開口部から露出され、各チップ12、13の各電極11に接続される複数のリード部14と、各リード部14に配線パターンを介して接続された複数のランド部15が形成されている。このフレキシブル配線基板16の表面の各チップ12、13の実装領域には、エラストマ20が貼り付けられている。

【0021】配線基板25は、たとえばフレキシブル配線基板16と同様に、ポリイミドなどのテープ基材に銅箔などの配線層が挟まれて形成されている。配線層には、テープ基材の開口部から露出され、チップ22の各電極21に接続される複数のリード部23と、各リード部23に配線パターンを介して接続された複数のランド部24が形成されている。この配線基板25の表面のチップ22の実装領域には、エラストマ28が貼り付けられている。

【0022】各封止材17、26は、たとえばエポキシ系などの絶縁性樹脂材料からなり、この封止材17、26により各チップ12、13、22の各電極11、21とフレキシブル配線基板16、配線基板25の各リード部14、23との接続部分が封止される。

【0023】各外部端子18、27は、たとえばスズ-鉛系や、鉛を含まない半田ボールからなり、フレキシブル配線基板16のチップ12に対応するランド部15、配線基板25のランド部24に搭載される。

【0024】接着剤19は、たとえばエポキシ系などの接着性樹脂材料からなり、フレキシブル配線基板16の折り曲げ状態において、チップ12の裏面とチップ13の裏面とが接着される。

【0025】以上のように構成されるパッケージ1、2において、チップ22が配線基板25に実装されたパッケージ2が、チップ12、13がフレキシブル配線基板16に実装されたパッケージ1に重ねて実装され、パッケージ2の外部端子27がフレキシブル配線基板16のチップ13に対応するランド部15に接続され、パッケージ1の外部端子18が実際に外部に接続するための端子となり、外部端子18から全てのチップ12、13、

22に電気的に接続されている。図2(b)の例では、24個の外部端子18がアレイ状に配列されている。

【0026】次に、図3～図7により、本実施の形態の半導体装置の製造方法の一例を説明する。

【0027】始めに、図3および図4により、図5を参照しながら、フレキシブル配線基板を用いたパッケージの製造方法を説明する。図3および図4はフレキシブル配線基板を用いたパッケージの製造方法を示すフロー図であり、右側の図は製造方法の各組立工程に対応する半導体装置の断面図を示す。図5はフレキシブル配線基板を用いたパッケージのボール搭載工程後を示す平面図である。

【0028】(1)用意工程(ステップS1)

この工程においては、パッケージ1を構成するチップ12、13、フレキシブル配線基板16、封止材17、外部端子18となる半田ボール、接着剤19、エラストマ20などを用意する。

【0029】(2)エラストマ貼付工程(ステップS2)

この工程においては、フレキシブル配線基板16の表面の各チップ12、13の実装領域にエラストマ20を貼り付ける。

【0030】(3)チップ実装工程(ステップS3)

この工程においては、チップ12、13をフレキシブル配線基板16の各実装領域にそれぞれ実装する。

【0031】(4)リードボンディング工程(ステップS4)

この工程では、チップ12、13の各電極11をフレキシブル配線基板16の各リード部14に接続する。

【0032】(5)封止工程(ステップS5)

この工程においては、チップ12、13の各電極11とフレキシブル配線基板16の各リード部14との接続部分、すなわちエラストマ20の開口部を封止材17により封止する。

【0033】(6)ボール搭載工程(ステップS6)

この工程においては、フレキシブル配線基板16のチップ12に対応するランド部15に半田ボールを搭載してボール状の外部端子18とする。このボール搭載工程が終了したパッケージ1は、たとえば図5に示すような平面構造となる。

【0034】(7)チップ接着工程(ステップS7)

この工程においては、フレキシブル配線基板16を折り曲げ、この折り曲げ状態において、チップ12の裏面とチップ13の裏面とを接着剤19により接着する。これにより、チップ12、13がフレキシブル配線基板16に実装されたパッケージ1が完成する。

【0035】続いて、図6により、Fan-inタイプのパッケージの製造方法を説明する。図6はFan-inタイプのパッケージの製造方法を示すフロー図であり、右側の図は製造方法の各組立工程に対応する半導体

装置の断面図を示す。

【0036】(1)用意工程(ステップS11)

この工程においては、パッケージ2を構成するチップ22、配線基板25、封止材26、外部端子27となる半田ボール、エラストマ28などを用意する。

【0037】(2)エラストマ貼付工程(ステップS12)

この工程においては、配線基板25の表面のチップ22の実装領域にエラストマ28を貼り付ける。

【0038】(3)チップ実装工程(ステップS13)

この工程においては、チップ22を配線基板25に実装する。

【0039】(4)リードボンディング工程(ステップS14)

この工程では、チップ22の各電極21を配線基板の各リード部23に接続する。

【0040】(5)封止工程(ステップS15)

この工程においては、チップ22の各電極21と配線基板25の各リード部23との接続部分、すなわちエラストマ28の開口部を封止材26により封止する。

【0041】(6)ボール搭載工程(ステップS16)

この工程においては、配線基板25のランド部24に半田ボールを搭載してボール状の外部端子27とする。これにより、チップ22が配線基板25に実装されたパッケージ2が完成する。

【0042】続いて、図7により、フレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を説明する。図7はフレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を示す断面図である。

【0043】この積層工程においては、完成したパッケージ2をパッケージ1に重ねて実装し、配線基板25の外部端子27をフレキシブル配線基板16のチップ13に対応するランド部15に接続する。これにより、前記図1、図2に示すような、外部端子18から全てのチップ12、13、22に電気的に接続された半導体装置が完成する。この完成した半導体装置は、たとえばPC、WS、サーバ、他のマザーボード、メモリモジュールなどに適用することができる。

【0044】従って、本実施の形態の半導体装置によれば、自在に折り曲げ可能な構造のフレキシブル配線基板16を用いてパッケージ1を構成し、さらにこのパッケージ1と、Fan-inタイプのパッケージ2とを組み合わせることにより、メモリやロジックなどのデバイスの小型化を実現することができ、さらに高機能化、大容量化などの機能向上に対しても小型に抑えることができる。

【0045】また、メモリモジュールなどに適用した場合には、実装基板に実装する際の実装面積が小さくなり、さらに外部端子が少なくなるので実装基板の回路が

単純になる。

【0046】さらに、各パッケージ1、2を構成するフレキシブル配線基板16、配線基板25として既存の同じ構造の基板を用い、他の構成部品についても同じものを用いることができるので、既存の部品を流用して製造することができる。さらに、製造設備なども既存の設備を活用することができる。

【0047】また、本実施の形態の半導体装置として、たとえばチップ12、13、22がメモリ同士であれば、メモリの容量アップを図ることができ、またメモリとマイコンであれば機能付きメモリを構成することができる。

【0048】(実施の形態2) まず、図8により、本発明の実施の形態2の半導体装置の構成の一例を説明する。図8は本実施の形態の半導体装置を示す断面図である。

【0049】本実施の形態の半導体装置は、前記実施の形態1と同様に、たとえば2つのパッケージ構造を組み合わせたCSPとされ、前記実施の形態1との相違点は、フレキシブル配線基板を用いたパッケージ構造として、1つのチップのみを実装した構成に変更した点である。

【0050】すなわち、本実施の形態の半導体装置においては、たとえば図8に示すように、前記実施の形態1と異なるフレキシブル配線基板を用いたパッケージ1aと、前記実施の形態1と同様のFan-inタイプのパッケージ2からなり、パッケージ2がパッケージ1aに実装されて構成されている。

【0051】パッケージ1aは、所定の回路が形成され、表面上に電極11が配置された1つのチップ12のみと、このチップ12が実装され、複数のリード部14、および各リード部14に配線パターンを介して接続される複数のランド部15が形成されたフレキシブル配線基板16と、チップ12の電極11とフレキシブル配線基板16のリード部14との接続部分を封止する封止材17と、フレキシブル配線基板16のチップ12に対応するランド部15に搭載されるボール状の外部端子18と、チップ12の裏面と未接続のリード部の封止部分の裏面とを接着する接着剤19などから構成されている。フレキシブル配線基板16の表面のチップ12の実装領域には、エラストマ20が貼り付けられている。

【0052】次に、図9～図12により、本実施の形態の半導体装置の製造方法の一例を説明する。

【0053】始めに、図9および図10により、図11を参照しながら、フレキシブル配線基板を用いたパッケージの製造方法を説明する。図9および図10はフレキシブル配線基板を用いたパッケージの製造方法を示すフロー図であり、右側の図は製造方法の各組立工程に対応する半導体装置を示す断面図を示す。図11はフレキシブル配線基板を用いたパッケージのボール搭載工程後

示す平面図である。

【0054】(1)用意工程(ステップS21)

この工程においては、パッケージ1aを構成するチップ12、フレキシブル配線基板16、封止材17、外部端子18となる半田ボール、接着剤19、エラストマ20などを用意する。

【0055】(2)エラストマ貼付工程(ステップS22)

この工程においては、フレキシブル配線基板16の表面のチップ12の実装領域、チップが実装されない領域にエラストマ20を貼り付ける。

【0056】(3)チップ実装工程(ステップS23)

この工程においては、チップ12をフレキシブル配線基板16の実装領域に実装する。

【0057】(4)リードボンディング工程(ステップS24)

この工程では、チップ12の各電極11をフレキシブル配線基板16の各リード部14に接続する。

【0058】(5)封止工程(ステップS25)

この工程においては、チップ12の各電極11とフレキシブル配線基板16の各リード部14との接続部分、チップが実装されていない未接続のリード部、すなわちエラストマ20の開口部を封止材17により封止する。

【0059】(6)ボール搭載工程(ステップS26)

この工程においては、フレキシブル配線基板16のチップ12に対応するランド部15に半田ボールを搭載してボール状の外部端子18とする。このボール搭載工程が終了したパッケージ1は、たとえば図11に示すような平面構造となる。

【0060】(7)チップ接着工程(ステップS27)

この工程においては、フレキシブル配線基板16を折り曲げ、この折り曲げ状態において、チップ12の裏面とチップが実装されていない未接続のリード部の封止材の裏面とを接着する。これにより、チップ12がフレキシブル配線基板16に実装されたパッケージ1aが完成する。

【0061】続いて、パッケージ2については、前記実施の形態1と同様に行われる。

【0062】続いて、図12により、フレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を説明する。図12はフレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を示す断面図である。

【0063】この積層工程においては、完成したパッケージ2をパッケージ1aに重ねて実装し、配線基板25の外部端子27をフレキシブル配線基板16のチップ13に対応するランド部15に接続する。これにより、前記図8に示すような、外部端子18から全てのチップ12、22に電気的に接続された半導体装置が完成する。

【0064】従って、本実施の形態の半導体装置によ

ば、自在に折り曲げ可能な構造のフレキシブル配線基板16を用いてパッケージ1aを構成し、さらにこのパッケージ1aと、Fan-inタイプのパッケージ2とを組み合わせることにより、前記実施の形態1と同様の効果を得ることができる。

【0065】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0066】たとえば、前記実施の形態においては、センタパッド構造のチップを用いた場合を例に説明したが、周辺パッド構造などのチップを用いる場合についても適用することができる。また、パッケージ構造についても、Fan-inタイプに限らず、Fan-outタイプ、Fan-in/outタイプとすることも可能である。

【0067】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0068】(1)自在に折り曲げ可能な構造のフレキシブル配線基板にチップを実装したパッケージ構造とすることで、メモリやロジックなどのデバイスの小型化を実現することが可能となる。さらに、フレキシブル配線基板を用いたパッケージ構造と、既存のパッケージ構造とを組み合わせることで、高機能化、大容量化などの機能向上に対しても小型に抑えることが可能となる。

【0069】(2)前記(1)により、デバイスの小型化が可能となるので、実装基板に実装する際の実装面積を縮小することが可能となる。さらに、外部端子が少なくなるので、実装基板の回路を単純化することが可能となる。

【0070】(3)フレキシブル配線基板を用いたパッケージ構造と、既存のパッケージ構造との組み合わせにおいて、各パッケージを構成する配線基板や他の構成部品についても同じものを用いることができるので、既存の部品を流用して製造することが可能となる。さらに、製造設備なども既存の設備を活用することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置を示す断面図である。

【図2】(a)、(b)は本発明の実施の形態1の半導体装置を示す平面図と底面図である。

【図3】本発明の実施の形態1の半導体装置において、フレキシブル配線基板を用いたパッケージの製造方法を示すフロー図である。

【図4】本発明の実施の形態1の半導体装置において、図3に続く、フレキシブル配線基板を用いたパッケージ



13

の製造方法を示すフロー図である。

【図5】本発明の実施の形態1の半導体装置において、フレキシブル配線基板を用いたパッケージのボール搭載工程後を示す平面図である。

【図6】本発明の実施の形態1の半導体装置において、Fan-inタイプのパッケージの製造方法を示すフロー図である。

【図7】本発明の実施の形態1の半導体装置において、フレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を示す断面図である。

【図8】本発明の実施の形態2の半導体装置を示す断面図である。

【図9】本発明の実施の形態2の半導体装置において、フレキシブル配線基板を用いたパッケージの製造方法を示すフロー図である。

【図10】本発明の実施の形態2の半導体装置において、図9に続く、フレキシブル配線基板を用いたパッケージの製造方法を示すフロー図である。

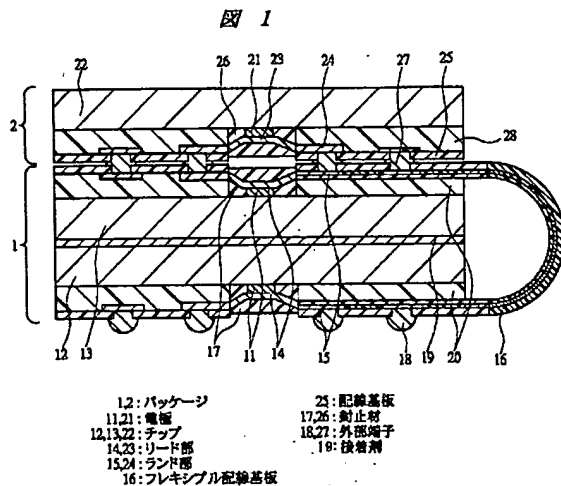
【図11】本発明の実施の形態2の半導体装置において、フレキシブル配線基板を用いたパッケージのボール搭載工程後を示す平面図である。

\*【図12】本発明の実施の形態2の半導体装置において、フレキシブル配線基板を用いたパッケージと、Fan-inタイプのパッケージの積層方法を示す断面図である。

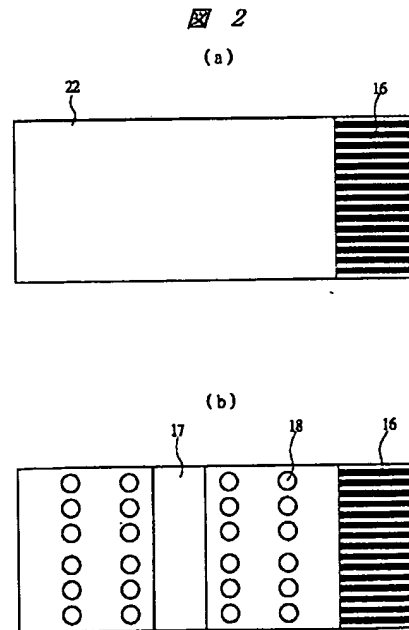
【符号の説明】

- 1, 1a パッケージ
- 11 電極
- 12, 13 チップ
- 14 リード部
- 15 ランド部
- 16 フレキシブル配線基板
- 17 封止材
- 18 外部端子
- 19 接着剤
- 2 パッケージ
- 21 電極
- 22 チップ
- 23 リード部
- 24 ランド部
- 25 配線基板
- 26 封止材
- 27 外部端子

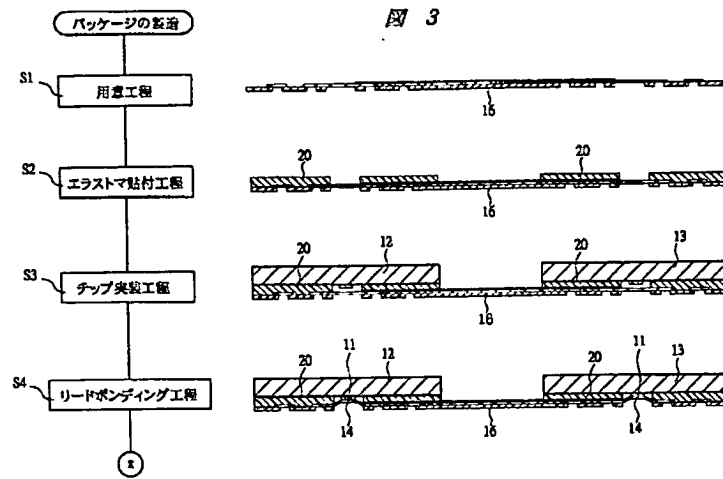
【図1】



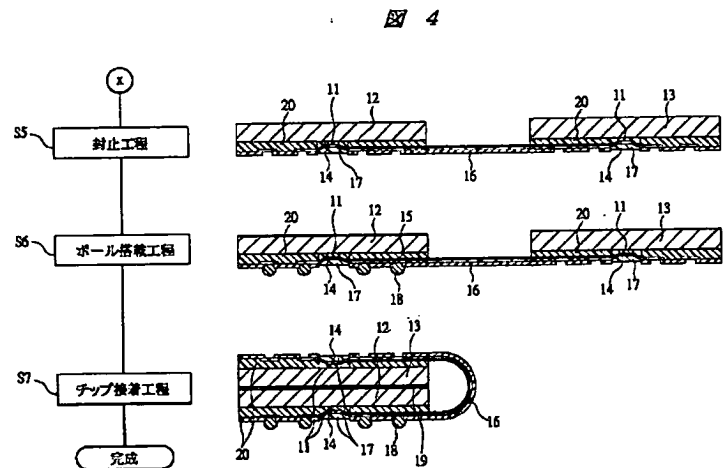
【図2】



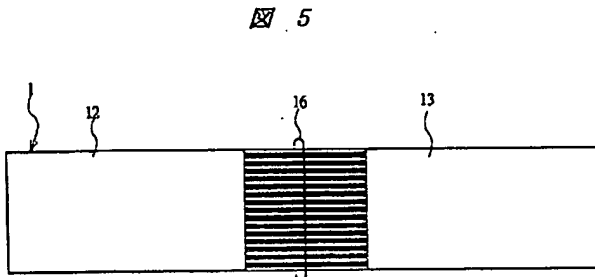
【図3】



【図4】

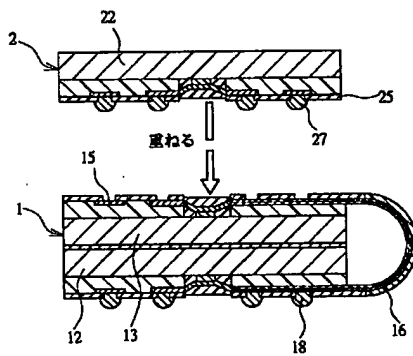


【図5】



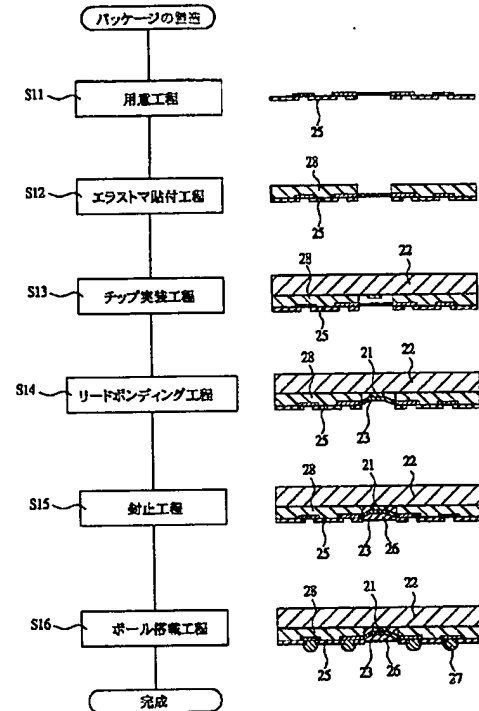
【図7】

図 7



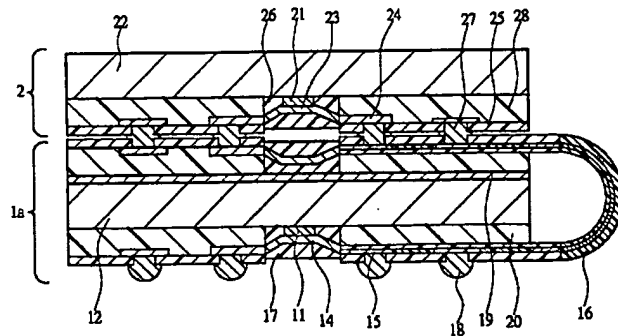
【図6】

図 6

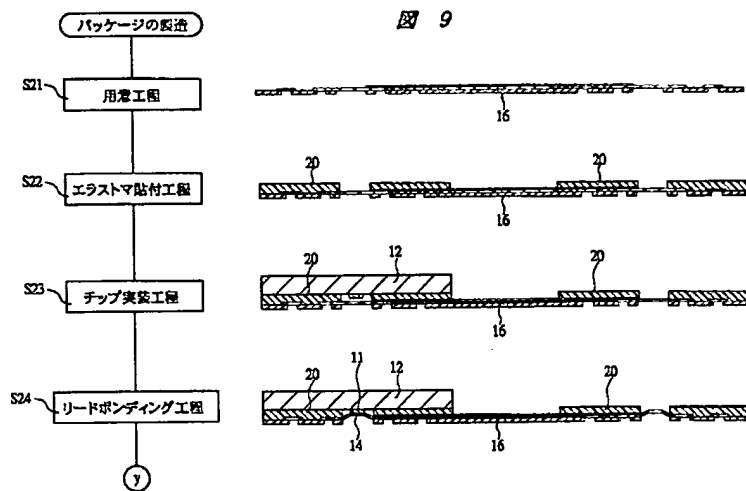


【図8】

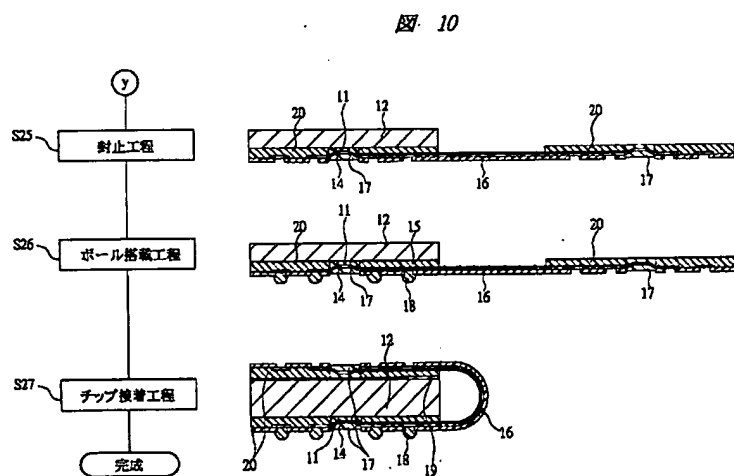
図 8



【図9】

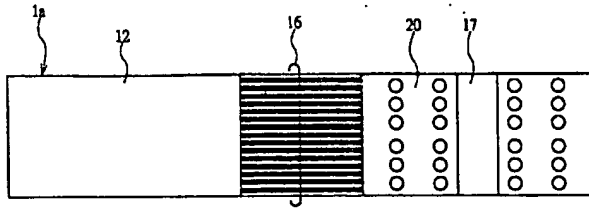


【図10】



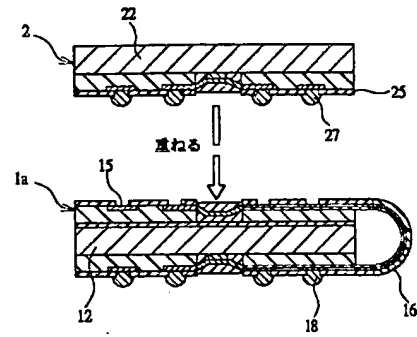
【図11】

図 11



【図12】

図 12



フロントページの続き

(72)発明者 新津 修  
群馬県高崎市西横手町1番地1 日立東部  
セミコンダクタ株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**